

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106557

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 05-247710

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.10.1993

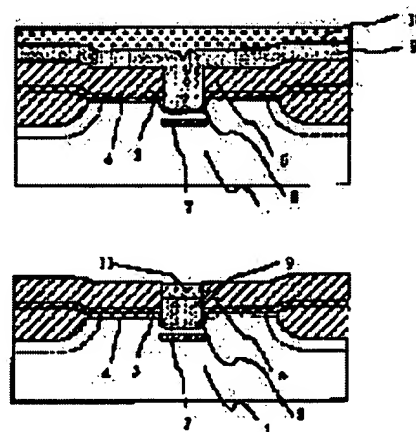
(72)Inventor : KIMURA SHINICHIRO
NODA HIROMASA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PURPOSE: To realize low resistance of a gate electrode by selectively allowing a tungsten film to grow on the surface of a polycrystalline silicon in the same width after forming a gate electrode consisting of polycrystalline silicon in the same width as an inlet of a recessed area formed on a substrate.

CONSTITUTION: After a recessed area is formed on a substrate, the entire surface is etched and a polycrystalline silicon 9 is embedded in a groove. Tungsten 11 is caused to selectively grow on the surface of the polycrystalline silicon. Tungsten grows only into the area where the polycrystalline silicon surface is exposed and does not grow at the surface of an insulating film 8. Therefore, tungsten grows only at the surface of the gate electrode 9 with limitation in the vertical direction of the groove and does not grow in lateral direction due to existence of the groove. Since the selectively grown tungsten having sufficient thickness can be used, a resistance of the gate electrode mainly composed of polycrystalline silicon can be reduced to about 1/10.



THIS PAGE BLANK (USPTO)

File 351:Derwent WPI 1963-2002/UD,UM &UP=200267

(c) 2002 Thomson Derwent

***File 351: Alerts can now have images sent via all delivery methods.**

See HELP ALERT and HELP PRINT for more info.

2/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

010287854 **Image available**

WPI Acc No: 1995-189113/199525

XRAM Acc No: C95-087748

XRPX Acc No: N95-148406

Semiconductor device manufacturing method e.g. MOSFETs - involving provision of tungsten film over polysilicon layer that forms gate electrode

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7106557	A	19950421	JP 93247710	A	19931004	199525 B

Priority Applications (No Type Date): JP 93247710 A 19931004

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7106557	A		9 H01L-029/78	

Abstract (Basic): JP 7106557 A

The manufacturing method forms a isolating film (3) between a pair of high impurity concentration domains (2,7) of opposing conductivity. These films are formed on a substrate (1). Then through a gate oxide film (8), a gate electrode (9) is formed in the substrate.

In order to control the current that flows between the impurity domains, the gate oxide film is equipped with a recess. The width of the recess is almost equal to that of the gate electrode. This gate electrode is made up of polycrystalline silicon layer and surmounted over by a metal film i.e tungsten film (11).

ADVANTAGE - Realises highly efficient, detailed MOSFET. Reduces parasitic capacitance. Controls short channel effect. Lowers resistance of gate electrode.

Dwg.1/13

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD; MOSFET; PROVISION; TUNGSTEN; FILM; POLY; SILICON; LAYER; FORM; GATE; ELECTRODE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/78

File Segment: CPI; EPI

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開平7-106557

(43)公開日 平成7年(1995)4月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H O 1 L 29/78

7514-4M

H O 1 L 29/ 78

301 V

審査請求 未請求 請求項の数5 O.L (全 9 頁)

(21)出願番号

特願平5-247710

(22) 出願目

平成5年(1993)10月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 木村 紳一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 野田 浩正

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

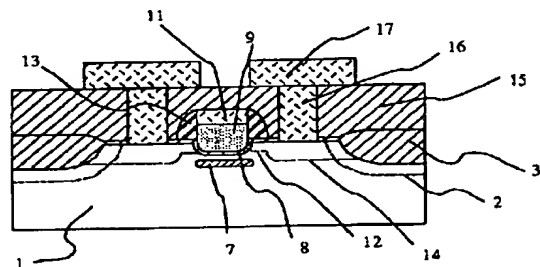
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【構成】 タングステンをゲート電極の一部とし、溝ゲート構造を有し、溝ゲートの形成後に、拡散層を形成した MOSFET。

【効果】溝ゲート構造による短チャネル特性の抑制、寄生容量の低減、および、タングステンの利用によるゲート電極の低抵抗化などにより、高性能な微細MOSFETが実現できる。

图 1



1

【特許請求の範囲】

【請求項 1】素子間分離用絶縁膜で囲まれた半導体基板の領域に、基板とは導電型の異なる一対の不純物領域がある間隔で形成されており、前記半導体基板とはゲート絶縁膜を介して接しているゲート電極の電位を変化させることで、前記不純物領域間に流れる電流を制御する電界効果型の半導体装置において、前記ゲート絶縁膜は前記基板の表面の凹部に沿って形成されており、前記ゲート電極の幅は、前記凹部の入口の幅にほぼ等しく、前記ゲート電極は多結晶シリコン膜と金属膜の積層膜からなることを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記ゲート電極を構成する金属膜は、前記ゲート電極を構成するもう一つの膜である多結晶シリコン膜の表面に、選択的に成長させたタングステン膜である半導体装置。

【請求項 3】請求項 2 において、前記タングステン膜の膜厚は、前記多結晶シリコン膜より厚い半導体装置。

【請求項 4】請求項 1 において、同一半導体基板領域に導電型の異なる半導体領域が複数個存在し、前記半導体領域に、形成されている半導体装置。

【請求項 5】半導体基板表面に酸化膜、窒化膜、酸化膜からなる積層膜を形成する第一工程と、所望の領域の積層膜のみを除去して基板の表面を露出させる第二工程と、露出した基板の表面に凹部を形成する第三工程と、露出している基板表面にゲート絶縁膜を形成する第四工程と、第一工程で形成した積層膜と、基板の凹部からなる溝の内部を、多結晶シリコンで埋める第五工程と、多結晶シリコン表面にタングステンを選択的に成長させる第六工程と、前記第二工程で形成した積層膜だけを除去する第七工程と、多結晶シリコン膜とタングステン膜からなるゲート電極をマスクとして、基板とは導電型の異なる領域を作るために、不純物をイオン打ち込みする第八工程と、前記ゲート電極の側壁に絶縁膜を形成する第九工程と、ゲート電極、および、側壁絶縁膜をマスクとして、基板とは導電型の異なる領域を作るために、不純物を前記第八工程よりは高濃度でイオン打ち込みする第十工程と、半導体表面を層間絶縁膜で被い、基板表面やゲート電極に達するコンタクト孔を開口し、さらに、配線層を形成する第十一工程からなることを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に係り、特に、微細化が可能な、基板表面に形成した凹部を利用する金属-酸化膜-半導体型の電界効果半導体装置(Metal Oxide Semiconductor field effect transistor; 以下、MOSFETと略す)とその製造方法に関する。

【0002】

【従来の技術】シリコンを用いた集積回路の代表例であ

2

るダイナミック・ランダムアクセス・メモリは、現在、 0.8μ の技術を用いて、4メガビットの量産が行われている。また、次世代の 0.5μ 技術を使用する16メガビットも小規模ながら量産化が始まっている。今後も、微細加工技術の進歩と相俟って、半導体素子が縮小され、集積度の向上が実現されるのは間違いない。

【0003】ところで、半導体素子の微細化は、単に寸法の縮小だけで達成されてきたのではなく、寸法の縮小に伴って顕著になる短チャネル効果やパンチスルー現象などの望ましくない現象を、効果的に抑制してきた結果でもある。この際の指針となったのが、比例縮小則であり、これに従って、寸法の縮小とともに、基板濃度を増加させ、ゲート酸化膜を薄くし、かつ、ソースドレインの拡散層を浅くしてきた。今後も半導体素子、特に、MOS型の電界効果素子を微細化して行くためには、この指針に従わざるを得ないが、微細化阻害要因が明らかになりつつあるのも事実である。

【0004】例えば、ゲート酸化膜の薄膜化は、トンネルリーク電流で決まる限界があり、それは $3\sim 4\text{nm}$ 程度であるとされている。また、ソースドレインの拡散層の深さも、現状のイオン打ち込みで形成している限り、浅接合化には限界があり、 n 型の拡散層を作る不純物である砒素の場合でも、 50nm 以下を実現するのは困難である。 p 型の拡散層を作るボロンは、拡散係数が大きいために浅接合を実現するのはより難しく、 100nm 程度が限界と言われる。

【0005】微細化のもう一つのパラメータである基板濃度に関しては、濃度の上昇によって、ソースドレインからの空乏層の伸びは抑えられるので、それに応じて素子寸法を小さくすることができる。しかし、基板全体の濃度を上げたのでは、しきい電圧の上昇、拡散層と基板の接合が作る接合容量の増加などを招き、素子特性を劣化させる原因となる。

【0006】ドレイン領域からの空乏層は、ゲート電極から離れた基板内部を広がって行くために、これを抑えるには、基板内部の濃度のみを上げればよい。そこで、これまでは、特開昭62-271450号公報に示されているように(図3にはその例を示したが、これは特開昭62-271450号公報にあるものと同じではない)、ソースドレイン拡散層12、14端付近にピークを持つ不純物層7を形成し、これで空乏層の伸びを抑え、かつ、基板表面は低濃度に維持することで、しきい電圧の上昇を制御する構造が提案されてきた。この方法で、ゲート電極寸法で $0.3\mu\text{m}$ 程度までは、短チャネル効果の抑制と、低しきい電圧化を両立させることができた。特に、低しきい電圧化は、素子寸法の微細化に伴って電源電圧を低下させなければならないことを考慮すると、素子性能向上にとって非常に重要である。

【0007】この構造でさらに微細化を追及しようとすると、不純物層7はより分布を急峻にして、しかもピー

3

ク位置を表面に近づけなければならない。これは、拡散層 12, 14 も微細化に応じて浅くなり、空乏層の張り出す領域がより表面に近づくからである。しかし、不純物層 7 の分布にはイオン打ち込みの特性で決まる広がりがあるために、表面を低濃度に保ちながら、基板内部の濃度だけを上昇させるのは不可能である。

【0008】そのため、これからは、単に基板の不純物濃度分布の調整だけではなく、ドレイン領域からの空乏層の伸びを、構造的に抑えることのできる半導体装置が必要になる。

【0009】なお、図 3 において、1 は半導体基板、2 は素子分離酸化膜、3 は素子分離特性を向上させるための高濃度不純物層、7 はドレインからの空乏層の伸びを抑えるための高濃度不純物層、8 はゲート絶縁膜、9 はゲート電極、11' はシリサイド層、12, 14 は拡散層、13 はゲート電極の側壁絶縁膜、15 は層間絶縁膜、16 はコンタクト孔を埋める金属、17 は配線金属である。

【0010】構造的に空乏層の伸びを抑えることのできる MOSFET 候補の一つが、特開昭 50-8483 号公報に述べられている、基板に溝を掘ってその周辺をチャンネルとした、溝ゲート型の MOSFET である。図 4 には、その一例の断面図を示したが、これは、必ずしも特開昭 50-8483 号公報に述べられている構造とは同じではない。

【0011】このように基板に溝を掘って、拡散層 12 をゲート電極 9 で分断することで、平面的なゲート電極寸法は同じでも、実効的なチャンネルの寸法（キャリアが走行する距離）を長くすることができる。また、この効果の他に、ソースドレインの拡散層領域 12, 14 が溝ゲートで完全に分離された格好になるために、ドレイン領域からの空乏層の伸びが抑制され、図 3 に示した従来型の MOSFET に比べて、短チャンネル効果が起こりにくいという構造的な利点がある。これらの効果を活かすことで、図 3 の従来構造に比べて、基板内部の不純物層 9 をあまり高濃度にする必要がなく、すなわち、しきい電圧の上昇や寄生容量の増加を招くことなく、短チャンネル効果が抑制できる。

【0012】このように、ゲート電極の構造に工夫を加えることで、基板濃度上昇に頼らないで短チャンネル効果を抑制することが必要であり、この溝ゲート型 MOSFET は、最も有力な候補であると言える。しかし、単純に溝を掘った図 4 の構造では、上述したように、実効的なゲート寸法が長くなるために、また、溝ゲートの角の部分では、電界集中のためにチャンネルができにくいなどの理由から、ドレイン電流が少なくなってしまう欠点がある。さらには、実効的なゲート寸法が大きくなるということは、ゲート容量が大きくなることを意味し、電流が減少することと相俟って、回路を構成したときの遅延時間の増加という問題を引き起こす。これでは、寸法を

4

小さくすることで、回路性能を向上させてきた半導体素子の利点を失うことになり、微細化をする意味がなくなってしまう。

【0013】図 4 に示した溝ゲート型の MOSFET では、素子分離酸化膜 3 で囲まれた活性領域に、予め、拡散層 12 をイオン打ち込みに代表される不純物導入技術を用いて形成しておき、これを、溝で分断するという方法を、一般的に用いている。このために、溝の深さは拡散層の深さよりも十分に深くなければならず、その結果、上述したように、チャンネル寸法の増加によるドレイン電流の減少を招く。また、活性領域の全面に拡散層を形成すると、その一部は素子分離酸化膜の端に沿って、酸化膜の下にまで拡散する。素子分離酸化膜は、図中に示してあるように、活性領域に向かって膜厚が薄くなるような形状をしているので、この部分に不純物が存在すると、溝を掘った時に酸化膜がマスクとなり、不純物が残る可能性が高い。不純物が残れば拡散層がつながり、正常な MOSFET 動作が得られなくなる。

【0014】素子分離酸化膜の周辺に、イオン打ち込みの際に不純物が入らないようにマスクをかけることも可能であるが、微細な素子では、マスクを置く余裕がないのは明らかである。

【0015】そこで、特開平 4-346476 号公報に開示されているように、基板上に堆積した絶縁膜をマスクとして基板に溝を形成し、その溝の中にゲート電極を埋め込み、マスクとなった絶縁膜を除去して、さらに、ゲート電極をマスクにして拡散層を形成する不純物を打ち込む製造方法が提案されている。これによると、拡散層形成は従来の MOSFET と同じになるために、イオンのエネルギーを調節することで、拡散層と溝の深さを調節でき、かつ、素子分離酸化膜の周辺に沿ったリーク電流の問題は回避できる。

【0016】

【発明が解決しようとする課題】上述したように、溝にゲート電極を埋め込むことによって、溝ゲート構造に起因する幾つかの課題を解決できるが、溝にゲート電極を埋め込む方法では、ゲート電極を積層膜にして低抵抗化することは不可能である。このゲート電極の低抵抗化は、ゲート電極が微細になるとともに重要性を増しており、現在でも、図 3 の従来構造 MOSFET に示したように、ゲート電極の表面と拡散層の表面にのみシリサイド層を形成することが行われている。また、図には示していないが、多結晶シリコン膜とシリサイド膜の積層膜である、ポリサイド膜などを使うことも行われている。

【0017】溝にゲート電極を埋め込む構造では、上述したように、拡散層の形成は従来の MOSFET と同じように行えるので、図 3 のように、ゲート電極表面と拡散層表面にシリサイド層を形成することは容易である。しかし、拡散層の浅接合化に伴って、シリサイド層も薄膜化しており、ゲート電極を低抵抗化できるほど厚いシ

5

リサイド膜ではなくなっている。

【0018】

【課題を解決するための手段】本発明では、図1に示したように、基板に形成した凹部によって拡散層12、14を分断する溝ゲート型MOSFETにおいて、図1に示したように、凹部の入口の幅にはほぼ等しい多結晶シリコンからなるゲート電極9を形成し、さらに、その多結晶シリコンの表面に、その幅とはほぼ等しい幅のタングステン膜11を選択的に成長させることで、溝ゲート型MOSFETのゲート電極の低抵抗化を実現している。

【0019】この構造を形成するためには、後述する実施例で詳細に述べるように、基板表面に堆積した絶縁膜に溝を形成し、さらに、この絶縁膜をマスクとして基板に凹部を作り、ゲート絶縁膜の成長を行った後に、この溝に、多結晶シリコンを絶縁膜よりは低くなるように埋め込み、さらに、多結晶シリコンの表面にのみタングステンを選択的に成長させることで、溝を完全に埋め戻すという工程を実施する。

【0020】多結晶シリコンが埋め込まれた溝以外には、タングステン膜は成長しない。また、タングステンは、多結晶シリコンの表面から成長が始まるので、溝の幅に沿った成長が起こる。

【0021】

【作用】本発明の半導体装置によって、溝ゲート型MOSFETの課題を解決することが可能となり、しかも、従来型MOSFETの長所を融合したMOSFETが実現できる。

【0022】多結晶シリコン膜の上にタングステン膜を選択成長させた構造により、従来の溝ゲート型MOSFETでは実現の難しかった、ゲート電極の低抵抗化が可能となる。また、溝の中に完全にゲート電極を埋め込む方法により、ゲート電極の形成後にソースドレインとなる拡散層を作ることが可能となり、従来型MOSFETと同様に、溝ゲート型でも素子分離酸化膜に沿ったリーク電流という問題を完全に解決できる。また、本発明では、溝ゲート型の特徴である優れた短チャネル特性や、寄生容量が小さいという特徴は維持されている。さらに、図2にCMOS (Complementary MOS)の断面図を示したが、本発明の半導体装置は、従来型のMOSFETと同様に、ゲート電極を形成した後にソースドレインを形成するので、イオン打ち込みによって不純物を容易に打ち分けることが可能であり、CMOS化が容易であるという特徴も備えている。

【0023】

【実施例】以下、本発明の実施例を図5から図13を用いて詳細に説明する。本説明では、n型のMOSFETを念頭に置いて述べて行くが、基板や不純物領域の導電型を逆にすれば、p型のMOSFETになる。

【0024】図5(a)に示したように、公知の選択酸化法を用いて、半導体基板1に、素子分離酸化膜2を成

6

長させる。具体的には、半導体基板1の表面に20nm程度の酸化膜を成長させ、さらに、その上に窒化膜を公知の低圧気層成長法で堆積した後に、この窒化膜を所望の形状に加工する。窒化膜の膜厚は約100nmである。次に、公知のイオン打ち込み法を用いて、半導体基板全面に基板と同じ導電型の領域を形成する不純物を打ち込む。具体的には、BF₂を60KeVで5×10¹³/cm²打ち込んだ。この際、窒化膜が形成されている所

10 【0025】この半導体基板を酸化雰囲気さらすと、窒化膜で被われていない半導体基板表面に酸化膜2が成長する。本実施例では、水蒸気を含んだ、1100℃の雰囲気中で30分間酸化して、約300nmの酸化膜2を成長させた。また、酸化の前に、窒素雰囲気中で10分間の熱処理を行い、打ち込んだボロン3を基板内部に拡散させた。このボロンによる高濃度層が、素子分離特性を向上させる。この後、選択酸化のマスクとなった窒化膜を180℃程度に加熱した燐酸溶液で除去し、さらに、窒化膜の下地の酸化膜をフッ酸溶液で除去すると、図5

(a)に示した断面図になる。

20 【0026】次に、図5(b)に示したように、この半導体基板表面に5nm程度の酸化膜4を成長させ、さらに、この上に、30nmの窒化膜5、200nmの酸化膜6を堆積する。酸化膜4の成長には公知の熱酸化法を、また、窒化膜5と酸化膜6の堆積には、公知の気層成長法を用いた。

【0027】次に、図5(c)のように、基板上の酸化膜に溝を形成する。これには、公知のホトリソグラフィ法によるマスク形成と、絶縁膜のドライエッチ技術を用いた。溝の幅は、必要とされるMOSFETの寸法で決

30 まるが、本実施例では0.2μm程度の溝を開口した。

【0028】さらに、図5(d)に示したように、溝を形成した絶縁膜をマスクにして、基板に凹部を形成する。この凹部の形成にも、シリコンのドライエッチ技術を用いた。また、この際、溝の角に丸みが付くように制御した。これは、溝の角が鋭角になることによる、電界の集中を防ぐためである。

40 【0029】次に、溝の開口部を通して、図5(e)に示したように、基板と同じ導電型の領域を作る不純物を、基板よりは高濃度になるようにイオン打ち込みする。具体的には、BF₂を20KeVのエネルギーで1×10¹²/cm²から5×10¹²/cm³のドーズ量で打ち込んだ。この不純物層は、MOSFETのしきい電圧の調整と、ドレインからの空乏層の伸びを抑えるために必要である。ただし、前述したように、溝ゲート型MOSFETでは、溝の角の効果によって、空乏層の伸びが効果的に抑えられるので、不純物のドーズ量は、従来型のMOSFETに比べて少なくても良い。また、p型のMOSFETの場合には、ヒ素イオンを打ち込む。

50 【0030】イオン打ち込みに伴う汚染などを除去した

7

後に、図 6 (a) に示したように、ゲート酸化膜 8 を 5 nm 程度成長させ、さらに、不純物 (具体的にはリン) を高濃度を含む多結晶シリコン 9 を堆積し、さらに、レジスト膜 10 を塗布する。多結晶シリコンの膜厚は、 $0.2 \mu\text{m}$ の溝が完全に埋まるようにするために、 $0.15 \mu\text{m}$ とした。また、レジスト膜 10 は、後述するように、全面エッチングを行う際に、基板表面を予め平坦にするために塗布してある。

【0031】次に、図 6 (b) に示したように、全面エッチングを行って、多結晶シリコン 9 を、溝の内部に埋め込む。そして、この多結晶シリコンの表面にタングステン 11 を選択成長させる。タングステンは多結晶シリコン表面が露出している領域にのみ成長し、絶縁膜の表面には成長しない。このため、ゲート電極の表面にのみタングステンが成長する。また、その成長は、溝の縦方向に制限され、溝の存在によって横には成長しないので、タングステンの側壁は非常に平滑になる。

【0032】次に、タングステン膜をマスクにして、溝を形成していた絶縁膜をエッチングし、図 6 (c) に示したような形状にする。この際、窒化膜 5 が酸化膜 6 エッチングのストッパの役目を果たすために、素子分離酸化膜が削られることはない。

【0033】次に、図 6 (d) に示したように、窒化膜 5 も除去した後に、拡散層を形成するために、イオン打ち込みを行う。ここでは、ヒ素を 20 KeV で $1 \times 10^{15}/\text{cm}^2$ 打ち込んだ。また、打ち込み条件は、拡散層の深さが凹部の深さとほぼ一致するように設定した。

【0034】次に、図 7 (a) に示したように、ゲート電極 9, 11 の側壁に側壁絶縁膜を、公知の絶縁膜の堆積とその異方性エッチングを用いて形成する。そして、拡散層を低抵抗化し、さらに、配線金属との接触抵抗を下げるために、再びヒ素を 30 KeV で、 $5 \times 10^{15}/\text{cm}^2$ 打ち込んだ。

【0035】最後に不純物領域を活性化させるために、熱処理を加え、さらに、層間絶縁膜 15, コンタクト孔を埋める金属 16, 配線層 17 を形成して、本発明の半導体装置を完成する。

【0036】本発明におけるゲート電極形成の特徴の一つは、ゲート電極を溝の内部に埋め込むことである。前述したように、溝の幅が小さくて、堆積する多結晶シリコン膜によって、溝が完全に埋まってしまう寸法のものでは、公知の全面エッチ技術を用いることで、溝の内部にゲート電極を埋め込むことができる。

【0037】しかし、ゲート電極の寸法は、同じ LSI チップ上でも違いがあるので、必ずしもゲート電極で溝が完全に埋め戻されるとは限らない。そこで、以下では、ゲート電極の幅が大きい場合について、溝の内部にゲート電極を埋め込む方法について述べる。このような状況は、ゲート電極の上にコンタクト孔を形成するような場所において発生するので、ここでは、素子分離酸化

8

膜上に幅の広いゲート領域を形成する例について説明する。

【0038】まず第一に、図 8 (a) に示したように、素子分離酸化膜を形成した基板を用意する。この表面に、図 8 (b) に示したように、溝を形成するための積層絶縁膜 5, 6 を堆積する。絶縁膜の種類は、既に述べた通りである。この積層絶縁膜 5, 6 に、図 8 (c) のように溝を形成する。この際、酸化膜 6 のエッチングは窒化膜 5 で止まるようにエッチング条件を設定し、素子分離酸化膜 3 に溝が形成されないようにする必要がある。この後、基板が露出する活性領域では、基板に溝を掘る工程を行うが、素子分離酸化膜には影響はない。

【0039】次に、図 8 (d) に示したように、多結晶シリコン膜 9 を堆積し、さらに、有機膜 10 を塗布して、表面を平坦化する。そして、全面エッチを行って、絶縁膜の表面に堆積されている多結晶シリコン膜を除去し、さらに、溝の内部を埋めている有機膜を除去すると、図 9 (a) に示したように、幅の広い溝の内部にも、溝と同じ幅でゲート電極を埋めることができる。さらに、これまで述べた工程と同じように、タングステン膜 11 の選択成長 (図 9 b), 側壁絶縁膜 13 (図 9 c) の形成を行って、図 9 (d) に示したように、ゲート電極に接する配線を形成する。

【0040】このように、有機膜による平坦化を用いることで、幅の異なる溝の内部にも、ゲート電極を埋め込むことができる。

【0041】以上の実施例では、ある一つの導電型の MOSFET を製造する場合について説明してきた。以下では、同一基板上に、導電型の異なる本発明の半導体装置を製造する場合について説明する。

【0042】相補型 MOSFET では、同一基板上に種類の異なる導電型の領域 (以下ウェルと呼ぶ) を形成する必要があるが、本実施例では、公知の方法を用いた。

【0043】導電型の異なるウェル領域を形成するために、まず、図 10 (a) に示したように、基板 1 (p 型) の表面に酸化膜 4' を成長させ、さらに、窒化膜 5' を堆積する。酸化膜の膜厚は 10 から 20 nm、窒化膜の膜厚は 150 nm である。

【0044】この窒化膜 5' を、図 10 (b) に示したように、ホトレジストマスク 20 を用いて、ドライエッチ法により所望の形状に加工する。この際、表面の酸化膜 4' を残す必要がある。

【0045】次に、図 10 (c) に示したように、窒化膜をマスクにして、n 型のウェルを形成するために、リンをイオン打ち込みする (21)。打ち込みエネルギーは 125 KeV で、打ち込み量は $1 \times 10^{13}/\text{cm}^3$ である。この際、残っている窒化膜 5' がイオン打ち込みのマスクになるために、窒化膜が存在する領域には、リンイオンは打ち込まれない。

【0046】さらに、イオン打ち込みに起因する汚染な

どを除去し、基板を酸化雰囲気にと、図 10 (d) に示したように、窒化膜 5' のない領域、すなわち、リンがイオン打ち込みされた領域にのみ、酸化膜 3' が成長する、選択酸化が起こる。本実施例では、酸化膜の膜厚は 100 nm とした。この膜厚は、次に述べるボロンのイオン打ち込み条件を考慮して設定する。

【0047】次に図 11 (a) のように、窒化膜を選択的に除去した後に、p 型のウェルを形成するために、BF₂ を 60 KeV で、 $1 \times 10^{13}/\text{cm}^2$ 程度イオン打ち込みした (22)。リンを打ち込んだ n ウェル領域は、酸化膜 3' によってマスクされているので、ボロンは打ち込まれない。

【0048】この基板を熱処理すると、打ち込まれた不純物が基板内部に向かって拡散するので、図 11 (b) に示したようなウェル領域ができる。ウェルの深さは 3 から 4 μm である。

【0049】次に、素子分離酸化膜を成長させるために、図 11 (c) に示したように、表面を 10 nm 程度酸化して、酸化膜 4' を形成し、さらに、窒化膜 5' を堆積する。これを、図 11 (d) のように、ホトレジストマスク 20 を用いて、所望の活性領域形状に窒化膜を加工する。さらに、図 12 (a) のように、酸化膜 2 を成長させると、選択的に酸化が進行して、窒化膜 5' で被われていない領域に、素子分離酸化膜 2 が成長する。膜厚は 400 nm である。

【0050】実際の LSI の製造では、素子分離酸化膜を成長させた後に、素子分離特性を向上させるために、素子分離酸化膜と基板の界面近傍に、基板と同じ導電型の領域を形成する不純物をイオン打ち込みする。しかし、本実施例では、説明を簡略化するために、本工程は除いてある。

【0051】これ以降の工程は、最初の実施例で説明した通りであり、まず、図 12 (b) に示した、積層絶縁膜 5、6 の堆積、図 12 (c) の溝の形成、図 12

(d) の、高濃度不純物領域 7、7' の形成、ゲート酸化膜 8 の成長、ゲート電極 9、11 の埋め込みを行う。そして、図 13 (a) の積層絶縁膜の除去、図 13 (b) の拡散層の形成 12、14、側壁絶縁膜 13 の形成を行って、図 13 (c) に示したように、配線の形成を行い、本実施例の半導体装置を完成する。

【0052】

【発明の効果】本発明に示した半導体装置とその製造方法を用いれば、以下に示したような効果を得ることができる。

【0053】まず第一に、溝ゲート構造を採用することで、微細 MOSFET における最大の課題である短チャネル効果の発生を抑制することができる。これはすなわち、溝を掘ることによって、実効的にチャネル長を長くし、さらに、浅い拡散層を作っていることになるためである。従来型では浅い拡散層を作るために、イオン打ち

込みエネルギーを極端に小さくする必要があり、これが装置コストの上昇につながる。一方、本発明の半導体装置を用いると、従来からのイオン打ち込み装置が使えるので、新たな設備投資を行う必要がない。

【0054】第二に、ゲート電極の一部に、タングステンなどの金属が使える効果を挙げることができる。本発明のように、選択的に成長させた、十分に厚いタングステンが使用できるので、多結晶シリコンを主体とするゲート電極の約 1/10 のゲート抵抗を実現できる。これは、ゲート電極の微細化に伴って顕著になる、ゲート抵抗の増加を抑制することができる。

【0055】さらに、溝の中にゲート電極の一部を埋めることによって、加工の難しいタングステンなどの金属の形状を、溝の形状で規定することになり、加工に伴うゲート寸法のばらつきを抑えることができる。

【0056】さらには、溝ゲート電極形成後のプロセス、すなわち、拡散層の形成は、従来の MOSFET とまったく同じなので、従来の MOSFET と同様に、拡散層を作り分けることで、CMOS 構成を実現しやすいという特徴もある。

【0057】本発明の半導体装置とその製造方法を用いれば、0.1 μm レベルのゲート長を有する MOSFET においても、従来の製造プロセスを用いて、高性能な MOSFET 作成することができ、かつ、この MOSFET をメモリに応用することで、1 ギガビット以上のメモリが実現できるようになる。

【図面の簡単な説明】

【図 1】本発明の実施例による半導体装置の断面図。

【図 2】本発明による相補型半導体装置の断面図。

【図 3】従来の半導体装置の断面図。

【図 4】従来の溝ゲート型半導体装置の断面図。

【図 5】本発明の実施例による製造工程図。

【図 6】本発明の実施例による製造工程図。

【図 7】本発明の実施例による製造工程図。

【図 8】本発明の実施例による別の断面での製造工程図。

【図 9】本発明の実施例による別の断面での製造工程図。

【図 10】本発明による相補型 MOSFET の製造工程図。

【図 11】本発明による相補型 MOSFET の製造工程図。

【図 12】本発明による相補型 MOSFET の製造工程図。

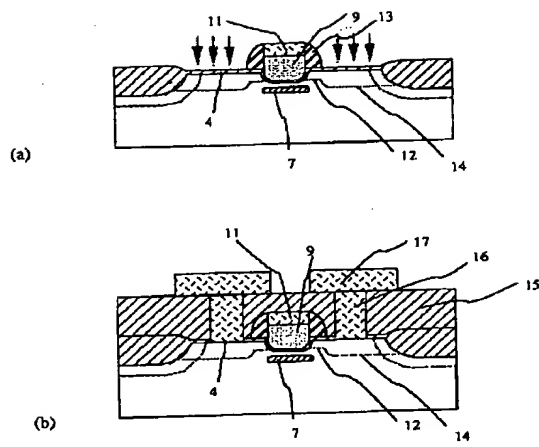
【図 13】本発明による相補型 MOSFET の製造工程図。

【符号の説明】

1…半導体基板、2…高濃度不純物領域、3…素子分離酸化膜、7…高濃度不純物領域、8…ゲート酸化膜、9…ゲート電極、11…タングステン膜、12…拡散層、

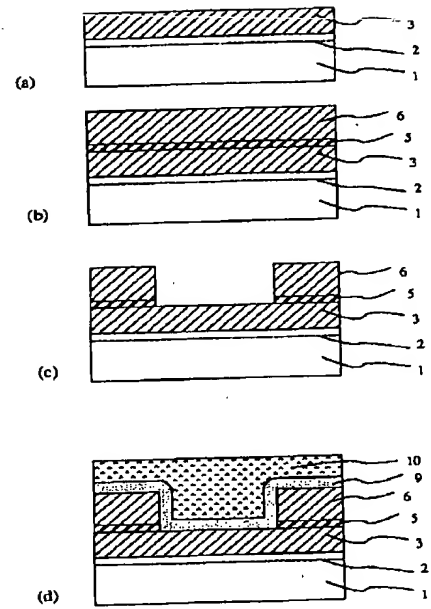
【図7】

図7



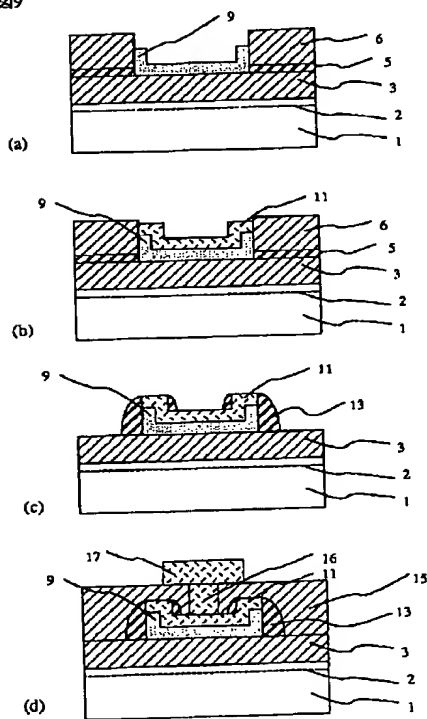
【図8】

図8



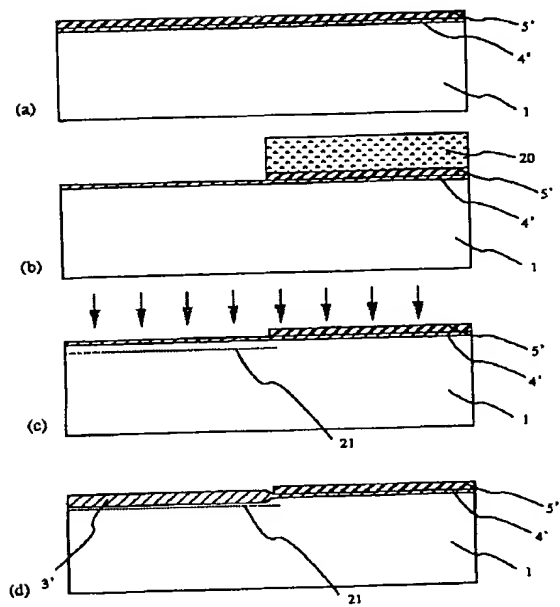
【図9】

図9



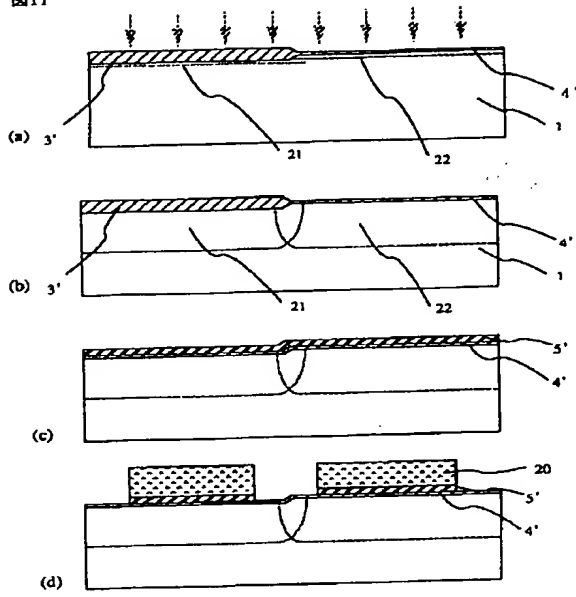
【図10】

図10



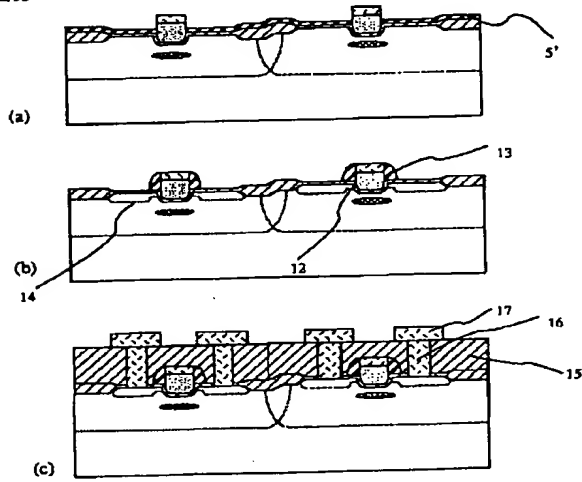
【図 11】

図11



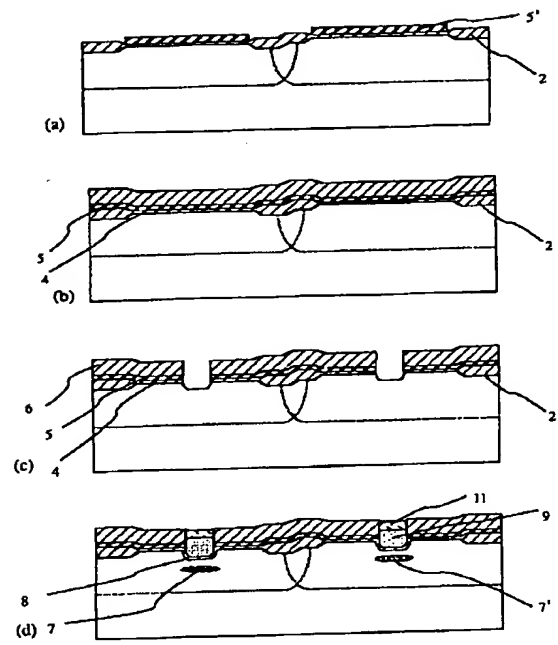
【図 13】

図13



【図 12】

図12



THIS PAGE BLANK (USPTO)